

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-327465

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 3 K 19/0185
19/01758941-5 J
8941-5 J

H 0 3 K 19/ 00

1 0 1 D
1 0 1 S

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平4-95118

(22)出願日 平成4年(1992)4月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 坪倉 富左雄

東京都港区芝五丁目7番1号日本電気株式
会社内

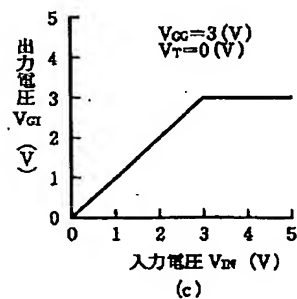
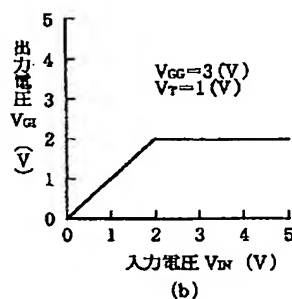
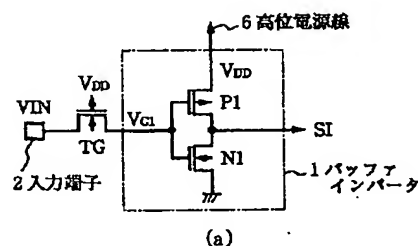
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【構成】外部からの信号VINが入力される信号入力端子2とバッファインバータ1の入力端との間にトランスマフゲートのNMOSトランジスタTGを設け、そのゲート電極に高位電源電圧V_{DD}を与える。

【効果】電源電圧が外部の信号の電圧よりも低く信号振幅の小さい半導体集積回路において、外部信号の高い電圧が入、出力のバッファインバータに直接加わらないようにするためのレベル変換回路での消費電力を減らすことができる。信号の伝達遅延時間を従来に較べて小さくすることができる。



【特許請求の範囲】

【請求項1】 外部からの信号が入力される信号入力端子と入力端との間に双方向型レベル変換回路が設けられた入力回路、外部への信号を出力する信号出力端子と出力端との間に双方向型レベル変換回路が設けられた出力回路並びに外部からおよび外部への信号を入出力する信号入出力端子と入出力端との間に双方向型レベル変換回路が設けられた入出力回路のいずれか一つ以上を含むことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に、外部の信号の振幅よりも小さい振幅の内部信号で動作する半導体集積回路に関する。

【0002】

【従来の技術】近年、半導体集積回路（以後、集積回路と記す）においては、高速化、高密度化、低電力化のための手段の一つとして、トランジスタをはじめとする素子の微細化が高度にすすめられており、これに伴って、電源電圧が従来よりも低くされ、例えば、3V電源で動作する集積回路が実現されている。この種の集積回路に用いられる信号入力部の一例の回路図を図3（a）に示す。図3（a）を参照すると、この信号入力部は、バッファインバータ1と、信号入力端子2と接地線3との間に直列接続された2つの抵抗R1、R2とからなっており、抵抗の直列接続点とバッファインバータ1の入力端とが接続されている。そして、この集積回路の電源電圧は、通常の集積回路に使用される電源電圧よりも低く、例えば、3Vであり、バッファインバータ1から集積回路の内部回路（図示せず）へ出力される内部信号S1のレベルは3Vである。一方、外部からの入力信号VINの信号レベルは内部信号より高く、例えば、5Vである。この集積回路では、信号入力端子1に外部から入力される入力信号VINの高い電圧が、バッファインバータ1を構成するトランジスタのゲート電極に直接入力されないようにするために、抵抗R1、R2の直列回路で5Vから3Vにレベル変換している。

【0003】又、図3（b）には、従来の半導体集積回路に用いられる信号出力部の一例の回路図を示す。図3（b）を参照すると、この信号出力部は、バッファインバータ4と、出力端子5と接地線3との間に直列に接続された2つの抵抗R3、R4とからなり、バッファインバータ4の出力端と抵抗回路の直列接続点とが接続されている。集積回路の内部回路（図示せず）からの信号SOは、バッファインバータ4で反転され抵抗の直列接続点を介して、信号出力端子5に出力される。信号出力端子は、例えば、外部のバスライン（図示せず）などに接続され、このバスラインでは5Vの信号が扱われている。この信号出力部では、内部信号のレベルよりも高い外部信号の電圧がバッファインバータ4を構成するトラ

ンジスタに直接加わらないように、抵抗の直列回路でレベル変換している。

【0004】

【発明が解決しようとする課題】上述した従来の集積回路では、それぞれの信号入力端子あるいは信号出力端子ごとに、抵抗分割によって入、出力信号のレベル変換を行なっている。ところが、集積回路上で実用的に実現できる抵抗値の大きさには限度があることから、消費電力が大きくなってしまふことは避けられない。又、信号伝達経路に抵抗分が加わるために、信号の伝達遅延時間が大きくなってしまふ。このような問題は、集積回路の規模が大きくなって入出力する信号数が増大するしたがって顕著になり、電源電圧を低電圧化したことによる低消費電力化、高速化の効果を損なうものである。

【0005】本発明は上記のような従来の半導体集積回路における問題点を鑑みてなされたものであって、消費電力の増大や信号伝達遅延時間の増大を伴うことなしに、外部信号のレベルを変換することのできる低電源電圧の半導体集積回路を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明の半導体集積回路は、外部からの信号が入力される信号入力端子と入力端との間に双方向型レベル変換回路が設けられた入力回路、外部への信号を出力する信号出力端子と出力端との間に双方向型レベル変換回路が設けられた出力回路並びに外部からおよび外部への信号を入出力する信号入出力端子と入出力端との間に双方向型レベル変換回路が設けられた入出力回路のいずれか一つ以上を含むことを特徴としている。

【0007】

【実施例】次に、本発明の好適な実施例について、図面を参照して説明する。図1（a）は、本発明の第1の実施例の信号入力部の回路図である。図1（a）を参照すると、本実施例では、バッファインバータ1はPMOSトランジスタP1とNMOSTランジスタN1の直列回路からなっている。高位電源線6の電圧V_{DD}は3Vである。2つのMOSトランジスタの共通のゲート電極と信号入力端子2との間には、レベル変換用のトランスファゲートのNMOSTランジスタTGが接続されており、このトランジスタのゲート電極には、高位電源電圧V_{DD}が与えられている。

【0008】図1（a）において、信号入力端子2に外部からの入力信号VINが入力された場合、バッファインバータ1のMOSトランジスタP1、N1のゲート電極に印加されるゲート電圧V_{GI}は、トランスファゲートのMOSトランジスタTGのゲート電圧をV_{GG}（＝V_{DD}）、しきい値電圧をV_T、入力信号VINの信号電圧をV_{IN}とすると、V_{GG}－V_T < V_{IN}の時、V_{GI}＝V_{GG}－V_T＝V_{DD}－V_Tである。又、V_{GG}－V_T > V_{IN}の時、V_{GI}＝V_{IN}となる。

【0009】いま、仮りに、トランスファゲートのNMOSトランジスタTGのゲート電圧 V_{GG} を3Vとし、しきい値電圧 V_T を1.0Vとすると、この時のトランスファゲートの直流伝達特性は、図1(b)に示すような特性となる。図1(b)によれば、入力電圧（外部からの入力信号の信号電圧 V_{IN} ）が2V以下の時は、出力電圧（MOSトランジスタP1, N1のゲート電圧 V_{G1} ）が入力電圧に等しく、入力電圧が2V以上では、出力電圧は2Vで一定の値となる。

【0010】ここで、図1(b)において、出力電圧が一定（=2V）となる時の入力電圧の値（=2V）は、トランスファゲートのNMOSトランジスタTGのしきい値電圧 V_T で決まる。従って、集積回路の製造工程中で、トランスファゲートのMOSトランジスタにはチャンネルドープを行わず、それ以外のMOSトランジスタにチャンネルドープを施すことによって、トランスファゲートのNMOSトランジスタTGのしきい値電圧 V_T をほぼ0Vにし、それ以外のMOSトランジスタのしきい値電圧を、例えば1.0Vなどの所定の値に設定して、バッファインバータ1の入力信号の振幅を所望の値にすることができる。NMOSトランジスタTGのしきい値電圧を0Vにした時のトランスファゲートの直流伝達特性は図1(c)に示すようになり、この場合には、バッファインバータ1には0~3Vの振幅の信号が入力される。

【0011】以上説明した第1の実施例では、本発明を集積回路の信号入力部に適用した場合について述べたが、本発明は、以下に述べる第2の実施例のように、信号出力部にも適用することができる。図2(a)は、本発明の第2の実施例の回路図である。同図を参照すると本実施例では、PMOSトランジスタとNMOSトランジスタとからなるバッファインバータ4の出力端と信号出力端子5との間に、トランスファゲートのNMOSトランジスタTGが設けられている。NMOSトランジスタTGのゲート電極は高位電源線6に接続されている。信号出力端子5は、5V系の信号のバスライン（図示せず）に接続されている。本実施例において、バスラインからの信号を入力信号と見立てると、トランスファゲートとしての入出力間の直流伝達特性は、図1(a), (b)と同様の特性となる。これにより出力信号（バッファインバータ4の出力端への信号）の上限が制限されるので、外部の5V系の信号の高い電圧がバッファインバータ4を構成するMOSトランジスタのドレインに直接加わることがない。

【0012】本発明は、信号入力部あるいは信号出力部にのみ用いられるものではなく、以下に述べる第3の実施例のように、一つの信号入出力端子を介して、入力側のバッファインバータと出力側のバッファインバータとが信号を入、出力する構成の信号入出力部に用いることもできる。図2(b)は、本発明の第3の実施例の回路

図である。図2(b)を参照すると、本実施例では、信号入出力端子7にトランスファゲートのNMOSトランジスタTGの一端が接続されている。このNMOSトランジスタTGの他端には、入力側のバッファインバータ1の入力端と出力側バッファインバータ4の出力端とが接続されている。尚、出力側バッファインバータ4を構成するMOSトランジスタに接続されている論理回路8は、集積回路内部からのイネーブル信号ENによって制御され、出力側バッファインバータ4から内部信号SOを出力するか、あるいは出力側バッファインバータ4の出力端をハイインピーダンス状態にし、外部から信号入出力端子7への信号を入力側バッファインバータ1を介して信号SIとして集積回路内部に伝達するかを制御するものである。本実施例においても、信号入出力端子には5V系の信号の電圧が加わるが、この高い電圧が入力側バッファインバータ1または出力側バッファインバータ4に直接加わることはない。

【0013】以上の実施例においては、直流的な消費電力はほぼ零である。又、信号の伝達遅延に関しては、トランスファゲートのスイッチング時間が増加するだけであるので、従来の集積回路に比べて有利である。例えば、図3(a)に示す従来の半導体集積回路の信号入力部において、抵抗 R_1 を10k Ω 、寄生容量を1pFとした場合の信号伝達遅延時間が約7nsであるのに対して、図1(a)に示す第1の実施例では、約0.5nsと高速になっている。

【0014】

【発明の効果】以上説明したように、本発明の半導体集積回路は、外部からの信号が入力される信号入力端子と入力端との間に双方向型レベル変換回路が設けられた入力回路、外部への信号を出力する信号出力端子と出力端との間に双方向型レベル変換回路が設けられた出力回路並びに外部からおよび外部への信号を入出力する信号入出力端子と入出力端との間に双方向型レベル変換回路が設けられた入出力回路のいずれか一つ以上を含んでいる。

【0015】このことより本発明によれば、電源電圧が低く信号振幅の小さい半導体集積回路において、外部信号の高い電圧が入、出力のバッファインバータに直接加わらないようにするためのレベル変換回路での消費電力を減らすことができる。しかも、信号の伝達遅延時間を小さくすることができる。

【図面の簡単な説明】

【図1】分図(a)は、本発明の第1の実施例の回路図である。分図(b)は、本発明の第1の実施例におけるトランスファゲートの入出力直流伝達特性の一例を表す図である。分図(c)は、本発明の第1の実施例におけるトランスファゲートの入出力直流伝達特性の他の例を表す図である。

【図2】分図(a)は、本発明の第2の実施例の回路図

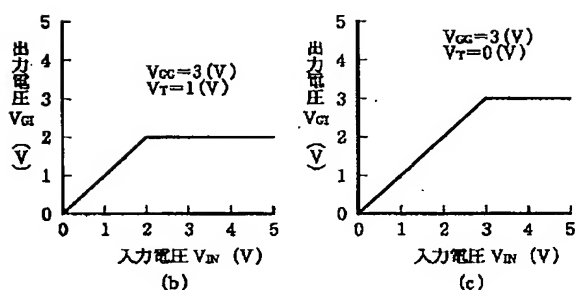
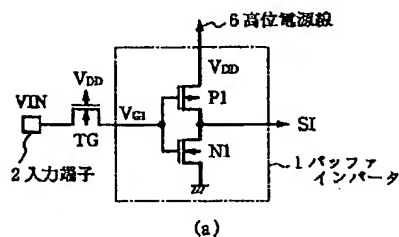
である。分図 (b) は、本発明の第3の実施例の回路図である。

【図3】分図 (a) は、従来の半導体集積回路における信号入力部の一例の回路図である。分図 (b) は、従来の半導体集積回路における信号出力部の一例の回路図である。

【符号の説明】

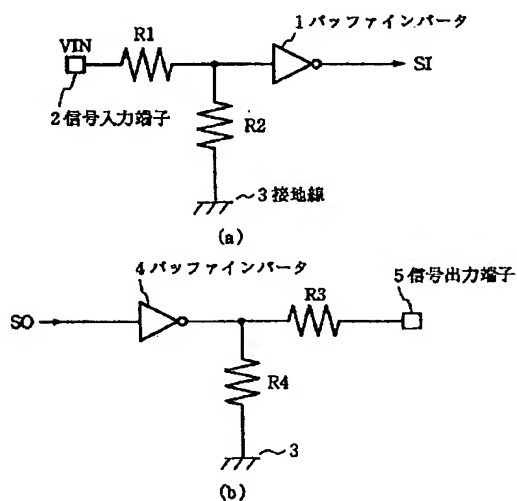
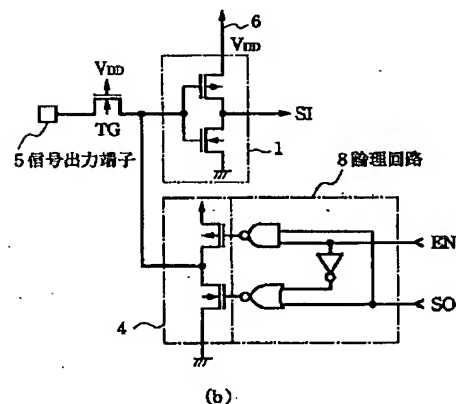
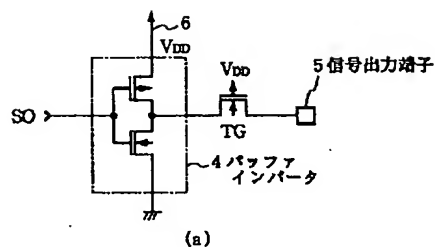
- 1, 4 バッファインバータ
- 2 信号入力端子
- 3 接地線
- 5 信号出力端子
- 6 高位電源線
- 7 信号入出力端子
- 8 論理回路

【図1】



【図3】

【図2】



*** NOTICES ***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The input circuit where the bidirectional mold level-conversion circuit was prepared between the signal input terminals and input edges into which the signal from the outside is inputted, Between the signal input/output terminals and I/O edges which output and input the signal to the exterior from the outside in the output circuit list by which the bidirectional mold level-conversion circuit was prepared between the signal output terminals and outgoing ends which output the signal to the exterior The semiconductor integrated circuit characterized by including any one or more of the I/O circuits in which the bidirectional mold level-conversion circuit was established.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor integrated circuit which operates by the internal signal of the amplitude smaller than the amplitude of an external signal especially about a semiconductor integrated circuit.

[0002]

[Description of the Prior Art] In recent years, in the semiconductor integrated circuit (it is henceforth described as an integrated circuit), the integrated circuit which detailed-ization of components including a transistor is recommended to altitude, and supply voltage is made lower than before in connection with this as one of the means for improvement in the speed, densification, and low electrification, for example, operates with 3V power source is realized. The circuit diagram of an example of a signal input part used for this kind of integrated circuit is shown in drawing 3 (a). If drawing 3 (a) is referred to, this signal input part consists of two resistance R1 and R2 by which the series connection was carried out between the buffer inverter 1, and the signal input terminal 2 and a grounding conductor 3, and the series-connection point of resistance and the input edge of the buffer inverter 1 are connected. And the supply voltage of this integrated circuit is lower than the supply voltage used for the usual integrated circuit, for example, it is 3V, and the level of the internal signal SI outputted to the internal circuitry (not shown) of an integrated circuit from the buffer inverter 1 is 3V. On the other hand, the signal level of the input signal VIN from the outside is higher than an internal signal, for example, is 5V. In this integrated circuit, in order not to carry out the direct input of the high electrical potential difference of the input signal VIN inputted into the signal input terminal 1 from the outside to the gate electrode of the transistor which constitutes the buffer inverter 1, the level conversion is carried out to 3V from 5V in the series circuit of resistance R1 and R2.

[0003] Moreover, the circuit diagram of an example of a signal output part used for the conventional semiconductor integrated circuit is shown in drawing 3 (b). If drawing 3 (b) is referred to, this signal output part consists of two resistance R3 and R4 connected to the serial between the buffer inverter 4, and an output terminal 5 and a grounding conductor 3, and the outgoing end of the buffer inverter 4 and the serial node of a resistance circuit are connected. It is reversed with the buffer inverter 4 and the signal SO from the internal circuitry (not shown) of an integrated circuit is outputted to the signal output terminal 5 through the serial node of resistance. A signal output terminal is connected to an external bus line (not shown) etc., and the signal of 5V is treated in this bus line. The level conversion is carried out in the series circuit of resistance so that it may not join directly the transistor to which the electrical potential difference of an external signal higher than the level of an internal signal constitutes the buffer inverter 4 from this signal output part.

[0004]

[Problem(s) to be Solved by the Invention] In the conventional integrated circuit mentioned above, resistance division is performing the level conversion of close and an output signal for every signal input terminal or signal output terminal. However, since there is a limit in the

magnitude of resistance realizable practical on an integrated circuit, it is not avoided that power consumption becomes large. Moreover, since a resisted part joins a signal transduction path, time amount will become large the transfer lag total of a signal. It becomes remarkable and such a problem spoils the effectiveness of low-power-izing by having low-battery-ized supply voltage, and improvement in the speed, therefore the number of signals which the magnitude of an integrated circuit becomes large, and is outputted and inputted increases.

[0005] It aims at offering the semiconductor integrated circuit of low supply voltage which can change the level of an external signal, without making this invention in view of the trouble in the above conventional semiconductor integrated circuits, and being accompanied by buildup of time amount buildup of power consumption, and a signal transfer lag total.

[0006]

[Means for Solving the Problem] The input circuit where the bidirectional mold level-conversion circuit was prepared between the signal input terminals and input edges into which, as for the semiconductor integrated circuit of this invention, the signal from the outside is inputted, Between the signal input/output terminals and I/O edges which output and input the signal to the exterior from the outside in the output circuit list by which the bidirectional mold level-conversion circuit was prepared between the signal output terminals and outgoing ends which output the signal to the exterior It is characterized by including any one or more of the I/O circuits in which the bidirectional mold level-conversion circuit was established.

[0007]

[Example] Next, the suitable example of this invention is explained with reference to a drawing. Drawing 1 (a) is the circuit diagram of the signal input part of the 1st example of this invention. If drawing 1 (a) is referred to, the buffer inverter 1 consists of a series circuit of the PMOS transistor P1 and the NMOS transistor N1 in this example. The electrical potential difference VDD of the high order power-source line 6 is 3V. Between common gate electrodes and signal input terminals 2 of two MOS transistors, the NMOS transistor TG of the transfer gate for level conversions is connected, and the high order supply voltage VDD is given to the gate electrode of this transistor.

[0008] if the gate voltage VGI impressed to the gate electrode of MOS transistors P1 and N1 of the buffer inverter 1 sets gate voltage of MOS transistor TG of the transfer gate to VGG (= VDD) in drawing 1 (a) and sets the signal level of VT and an input signal VIN to VIN for a threshold electrical potential difference, when the input signal VIN from the outside is inputted into the signal input terminal 2 -- the time of $VGG - VT < VIN$ -- $VGI = VGG - VT = VDD - VT$ it is. Moreover, it becomes $VGI = VIN$ at the time of $VGG - VT > VIN$.

[0009] Now, temporarily, gate voltage VGG of the NMOS transistor TG of the transfer gate is set to 3V, and it is the threshold electrical potential difference VT. If 1.0V, the direct-current transfer characteristics of the transfer gate at this time will turn into a property as shown in drawing 1 (b). According to drawing 1 (b), when input voltage (signal level VIN of the input signal from the outside) is less than [2V], output voltage (gate voltage VGI of MOS transistors P1 and N1) is equal to input voltage, and input voltage serves as a value with output voltage fixed 2V more than by 2V.

[0010] Here, the value (=2V) of input voltage in case output voltage is fixed (=2V) in drawing 1 (b) is the threshold electrical potential difference VT of the NMOS transistor TG of the transfer gate. It is decided. Therefore, it is the threshold electrical potential difference VT of the NMOS transistor TG of the transfer gate by not performing a channel dope to the MOS transistor of the transfer gate, but giving a channel dope to the other MOS transistor in the production process of an integrated circuit. It is made about 0 V, and the other threshold electrical potential difference of an MOS transistor can be set as predetermined values, such as 1.0V, and can be made into the value of a request of the amplitude of the input signal of the buffer inverter 1. The direct-current transfer characteristics of the transfer gate when setting the threshold electrical potential difference of the NMOS transistor TG to 0V come to be shown in drawing 1 (c), and the signal of the amplitude of 0-3V is inputted into the buffer inverter 1 in this case.

[0011] Although it attached and stated in the 1st example explained above when this invention was applied to the signal input part of an integrated circuit, this invention is applicable also to a

signal output part like the 2nd example described below. Drawing 2 (a) is the circuit diagram of the 2nd example of this invention. Reference of this drawing forms the NMOS transistor TG of the transfer gate in this example between the outgoing end of the buffer inverter 4 which consists of a PMOS transistor and an NMOS transistor, and the signal output terminal 5. The gate electrode of the NMOS transistor TG is connected to the high order power-source line 6. The signal output terminal 5 is connected to the bus line (not shown) of the signal of 5V system. In this example, if the signal from a bus line is judged an input signal, the direct-current transfer characteristics during the I/O as the transfer gate will turn into the same property as drawing 1 (a) and (b). Since the upper limit of an output signal (signal to the outgoing end of the buffer inverter 4) is restricted by this, it does not join directly the drain of an MOS transistor with which the high electrical potential difference of the signal of 5V external system constitutes the buffer inverter 4.

[0012] This invention is not used only for a signal input part or a signal output part, and the buffer inverter of an input side and the buffer inverter of an output side can also use a signal for close and the signal I/O section of a configuration of outputting through one signal input/output terminal like the 3rd example described below. Drawing 2 (b) is the circuit diagram of the 3rd example of this invention. Reference of drawing 2 (b) connects the end of the NMOS transistor TG of the transfer gate to the signal input/output terminal 7 in this example. The input edge of the buffer inverter 1 of an input side and the outgoing end of the output side buffer inverter 4 are connected to the other end of this NMOS transistor TG. In addition, the logical circuit 8 connected to the MOS transistor which constitutes the output side buffer inverter 4 is controlled by the enable signal EN from the interior of an integrated circuit, and controls whether the internal signal SO is outputted from the output side buffer inverter 4, or the signal from the outside to the signal input/output terminal 7 is transmitted to the interior of an integrated circuit as a signal SI through the input-side buffer inverter 1 by making the outgoing end of the output side buffer inverter 4 into a hi-z state. In this example, although the electrical potential difference of the signal of 5V system joins a signal input/output terminal, this high electrical potential difference does not join the input-side buffer inverter 1 or the output side buffer inverter 4 directly.

[0013] In the above example, direct-current-power consumption is about 0. Moreover, since the switching time of the transfer gate only increases about the transfer lag total of a signal, compared with the conventional integrated circuit, it is advantageous. For example, in the signal input part of the conventional semiconductor integrated circuit shown in drawing 3 (a), it has about 0.5ns and a high speed in the 1st example shown in drawing 1 (a) to time amount being about 7ns the signal transfer lag total at the time of setting resistance R1 to 10kohm, and setting parasitic capacitance to 1pF.

[0014]

[Effect of the Invention] As explained above, the semiconductor integrated circuit of this invention The input circuit where the bidirectional mold level-conversion circuit was prepared between the signal input terminals and input edges into which the signal from the outside is inputted, Between the signal input/output terminals and I/O edges which output and input the signal to the exterior from the outside in the output circuit list by which the bidirectional mold level-conversion circuit was prepared between the signal output terminals and outgoing ends which output the signal to the exterior Any one or more of the I/O circuits in which the bidirectional mold level-conversion circuit was established are included.

[0015] According to this invention, in a semiconductor integrated circuit with small signal amplitude with low supply voltage, the power consumption in the level-conversion circuit for making it the high electrical potential difference of an external signal not join close and the buffer inverter of an output directly can be cut down from this. And time amount can be made small the transfer lag total of a signal.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.